

## Puncturing convolutional encoder and depuncturer, both without FIFO buffer and rate conversion

**Patent number:** DE19524556  
**Publication date:** 1997-01-16  
**Inventor:** AUER ERICH DR ING (DE)  
**Applicant:** BOSCH GMBH ROBERT (DE)  
**Classification:**  
 - **international:** H03M13/12; H04L1/00  
 - **european:** H03M13/23, H03M13/33  
**Application number:** DE19951024556 19950706  
**Priority number(s):** DE19951024556 19950706

**Also published as:**

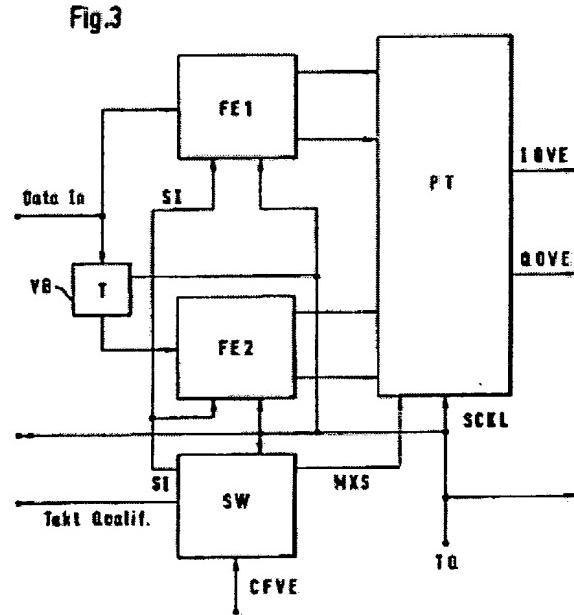
EP0752760 (A1)  
 EP0752760 (B1)

Abstract not available for DE19524556

Abstract of correspondent: EP0752760

The arrangement has several parallel driven convolutional encoding modules (FE1,FE2) with predetermined encoding rate  $1/m$ . It also has a control arrangement (SW). This shifts the input data to be encoded by at least one bit position relative to each other, on the basis of a desired encoding rate, for processing by an encoder module (FE1,FE2).

A point encoder in the form of a logic combining circuit processes the output data of the encoder modules into point form I and Q encoder data streams in dependence on the desired encoding rate.



Data supplied from the **esp@cenet** database - Worldwide

(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

# Offenlegungsschrift

(10) DE 195 24 556 A 1

(51) Int. Cl. 8:  
H 03 M 13/12  
H 04 L 1/00

D3

DE 195 24 556 A 1

(21) Aktenzeichen: 195 24 556.3  
(22) Anmeldetag: 6. 7. 95  
(23) Offenlegungstag: 16. 1. 97

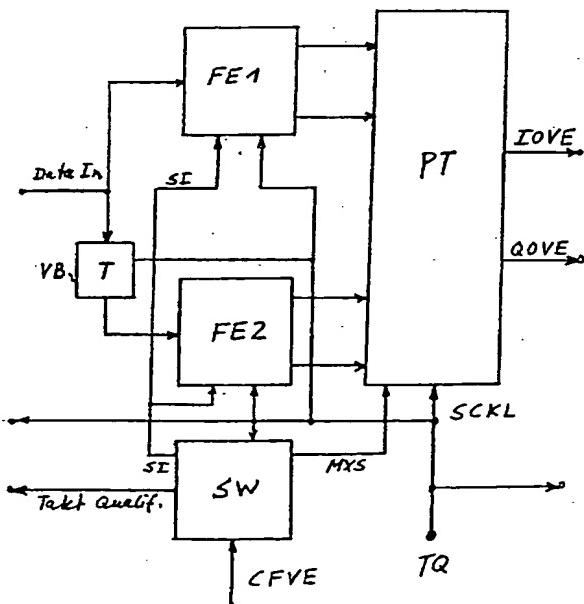
(71) Anmelder:  
Robert Bosch GmbH, 70469 Stuttgart, DE

(72) Erfinder:  
Auer, Erich, Dr.-Ing., 74354 Besigheim, DE  
  
(56) Entgegenhaltungen:  
U. TIETZE, Ch. SCHENK »Halbleiter-Schaltungstechnik« 10.Aufl., Springer-Verlag 1993, S.601-603;

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Faltungsencoder sowie Faltungsdecoder

(55) Zur Aufbereitung eines punktierten FaltungsCodes werden zwei parallel betreibbare Faltungsencoder-Bausteine (FE1, FE2) verwendet. Über ein Steuerwerk (SW) werden die punktierenden Eingangsdaten um mindestens eine Bitposition gegeneinander verschoben.  
Die Verknüpfung der Ausgangsdaten der Faltungsencoder-Bausteine (FE1, FE2) und die Punktierung erfolgt über eine Multiplexlogik (MP1, MP2) in Abhängigkeit der gewünschten Codepunktierungsrate R.  
Es wird keine physikalische Taktumsetzung entsprechend der Codepunktierungsrate benötigt.



DE 195 24 556 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 11.98 602 083/88

18/25

Die betrifft eine Anordnung zur Erzeugung eines punktierten Faltungscodes sowie eine Anordnung zur Depunktierung.

### Stand der Technik

Zur Erzeugung eines punktierten Faltungscodes wird meist ein Faltungsencoder der Rate 1/2 benutzt, dessen Ausgangssignale einem Bit-Selektor mit entsprechender Punktierungsvorschrift zugeführt werden (IEEE-Transactions on Communications, Volume COM-32, No. 3, March 1984, Seiten 315—319; GB 2095517-A; Abstracts of the 6th Int. Conference on Digital Satellite Communications, Phoenix, Arizona, Sept. 1983, Seiten XII/24—31).

Aus der EP 301 161 A2 ist ein Verfahren zur Aufbereitung eines Faltungscodes bekannt, wobei ebenfalls eine Codepunktierung angewendet wird. Es sind dort Mittel zur Datenumordnung mittels FIFOs (First-In-First-Out) und zur Parallel-Serienwandlung vorgesehen.

### Vorteile der Erfindung

Mit den Maßnahmen des Patentanspruchs 1 läßt sich ein Faltungscode erzeugen, ohne Zuhilfenahme einer physikalischen Taktumsetzung entsprechend der Codepunktierungsrate. Im Gegensatz zu den eingangs genannten Realisierungen sind für die Punktierung keine FIFO-Register notwendig, die ein asynchrones Zeitverhalten aufweisen. Durch die streng synchrone Verarbeitung ist die Anordnung nach der Erfindung mit weiteren digitalen Baugruppen problemlos integrationsfähig. Die Codepunktierungsrate kann durch ein von außen zugeführtes Bitwort auf einfache Weise geändert werden, ohne daß die Hardwarestruktur Faltungsencoder geändert werden muß.

Auch für die Depunktierung gemäß Anspruch 7 sind keine FIFO-Register notwendig.

### Zeichnungen

Anhand der Zeichnungen werden nun bekannte und erfundungsgemäße Faltungscoderstrukturen näher erläutert. Es zeigen:

Fig. 1 eine herkömmliche Struktur zur Erzeugung eines punktierten Faltungscodes,

Fig. 2 das Prinzip eines Viterbi-Encoders und Decoders mit Punktierung,

Fig. 3 eine erfundungsgemäße Struktur zur Erzeugung eines punktierten Faltungscodes,

Fig. 4 die für verschiedene Punktierungsarten zu streichenden Symbole,

Fig. 5 die zeitliche Abarbeitung für verschiedene Codepunktierungsarten,

Fig. 6 ein Blockdiagramm für einen erfundungsgemäßen Viterti-Encoder und Punktierer,

Fig. 7 bis 11 Wahrheitstabellen für die Konfiguration des Viterbi-Encoders in Abhängigkeit einer Steuerinformation,

Fig. 12 bis 16 die Funktionen der Multiplexschalter in Abhängigkeit ihrer Schaltsignale,

Fig. 17 bis 22 die zeitliche Lage des Eingangsdaten-Bitstromes,

Fig. 23 eine Chiprealisierung unter Einbindung des Faltungscoders nach der Erfindung,

Fig. 24 eine herkömmliche Struktur zur Depunktie-

### Beschreibung

Zuerst wird zum besseren Verständnis in Fig. 1 eine herkömmliche Faltungsencoder-Struktur vorgestellt. Die zu punktierenden Eingangsdaten (Data In) werden einem Faltungsencoder der Rate 1/2 zugeführt. Dieser Faltungsencoder arbeitet mit einem Eingangstakt ET einer Taktquelle TQ. Die I- und Q-Faltungsencoder-Ausgangsdatenströme — I Data Out und Q Data Out — werden einem FIFO zur Punktierung zugeführt, dessen Schreibtakt ST dem Eingangstakt ET entspricht. Als Steuerinformation für die gewünschte Codepunktierungsrate R wird dem FIFO ein externes Bitwort CFVE (Configuration for Viterbi Encoder) zugeführt. Da das Auslesen des FIFO mit einem Lesetakt LT zu erfolgen hat, der von der Codepunktierungsrate R abhängig ist, muß zu Generierung des Lesetaktes LT eine Taktumsetzung — Stufe TU — erfolgen, die von der Steuerinformation für die gewünschte Codepunktierungsrate  $R = n/(n+1)$ ;  $n = 1, 2, \dots$  abhängig ist. Dieser Lesetakt LT bildet auch den kontinuierlichen Ausgangstakt des Encoders, der für weitere Zwecke, z. B. zur Synchronisierung weiterer Baugruppen benötigt wird.

Fig. 2 zeigt ein schematisches Prinzip eines Viterbi-Encoder/Decoders mit einem sendeseitigen Punktierungsmodul (Puncture Module) und einem entsprechenden empfangsseitigen Depunktierungsmodul (FIFO/Depuncture Module). Darunter sind die Eingangsdaten (Data In) D1 ... D8 für ein acht Bit breites Wort dargestellt und darunter die durch den Viterbi-Encoder codierten Dibits (Encoded Data) S0.1, S1.1, S0.2, S1.2, usw. bis S0.8, S1.8. Die Coderate in Abhängigkeit des Punktierungsmusters (Puncture Pattern) ist in Fig. 3 dargestellt.

Fig. 3 zeigt eine erfundungsgemäße Faltungsencoder-Struktur mit zwei parallel betreibbaren Faltungsencoder-Bausteinen FE1 und FE2 der Codierrate 1/2. Natürlich können auch allgemein m parallel betreibbare Faltungsencoder-Bausteine mit jeweils der Codierrate 1/m verwendet werden. Die dargestellte Struktur stellt nur eine mögliche Minimalstruktur dar. Die beiden Faltungsencoder-Bausteine FE1 und FE2 sind in der Lage, gesteuert durch das Steuerwerk SW, entweder um eine Bitposition — Zeitversatz T — oder um zwei Bitpositionen — Zeitversatz 2T — die Eingangsdaten zu schieben, d. h. um T oder 2T zeitlich gegeneinander zu versetzen. Die Eingangsdaten Data In bzw. DIVE (Data Input to Viterbi-Encoder) werden dem Faltungsencoder-Baustein FE1 direkt und dem Faltungsencoder-Baustein FE2 um eine Bitposition verzögert zugeführt. Dazu ist der Verzögerungsbaustein VB vorgesehen. Die Ausgangsdaten der beiden Faltungsencoder-Bausteine FE1 und FE2 in Form von Dibit-Kombinationen werden anschließend einem Punktierer PT in Form einer Multiplexlogik, d. h. einer gesteuerten Auswahlschaltung zugeführt, die in Abhängigkeit eines vom Steuerwerk SW aufbereiteten Multiplex-Steuersignals MXS und dem von der Taktquelle TQ gelieferten Taktignal SCKL in (Symbol Clock) die punktierten I- und Q-Faltungsencoder-Datenströme IOVE und QOVE erzeugt. Die Steuerinformation für die gewünschte Codepunktierungsrate R ist wieder mit CFVE bezeichnet. Das Steuerwerk SW

liefert außerdem eine Schiebe-Schalterinformation SI für die beiden Faltungsencoder-Bausteine FE1 und FE2.

Zum byteweisen Lesen der Daten aus dem Interleaver in ein oder mehrere Eingangsregister des Faltungsencoders ist im Prinzip für jede Codepunktierungsrate R ein entsprechendes Schaltverbindungsschema zu ermitteln. Mit jedem Zählzyklus Z des Symboltaktes SCKL wird hierbei eine bestimmte Zahl von Eingangsbits (1 oder 2) benötigt. Damit kann ermittelt werden, wann ein neues Byte aus dem Speicher des Interleavers zu holen ist und in welcher Form dieses Byte an das vorherige anzhängen ist. Welche Symbole S für die Punktierung mit den Raten 2/3, 3/4, 5/6, 7/8 zu streichen sind, zeigt Fig. 4. Fig. 5 veranschaulicht die zeitliche Abarbeitung für verschiedene Codepunktierungsarten, d. h. die Verschiebung um eine bzw. zwei Bitpositionen (in der Figur jeweils umrahmt). Ein mögliches Ausführungsbeispiel eines Viterbi-Encoders und Punktierers hierzu zeigt Fig. 6.

Die Eingangsdaten DIVE der Wortbreite 8 Bit werden in das Eingangsregister (Input Register) in Abhängigkeit des Steuersignals NBLS (Next Byte Load Strobe) vom Steuerwerk SW byteweise eingelesen. Die Verzögerungszellen zur Signalverzögerung um die Zeit T sind mit  $Z^{-1}$  bezeichnet. In Abhängigkeit des vom Steuerwerk SW gelieferten Schaltsignals SW1 nehmen die Multiplexschalter M1 bis M7 jeweils einen von vier verschiedenen Schaltzuständen 0 ... 3 ein. Die Verknüpfung ist derart, daß eine Parallel-Serienwandlung PS der Eingangsdaten DIVE erfolgt. Die Schiebesteuerung und die Taktversorgung der Faltungsencoder-Bausteine FE1 und FE2 erfolgt über die Multiplexschalter M8 bis M14, Auswahlschalter mit drei bzw. zwei Schaltstellungen in Abhängigkeit der Schaltsignale SW3 und SW1. Die Ausgangsbitpaare S1; 2, S0; 2 und S1; 1, S0; 1 der beiden Faltungsencoder-Bausteine FE1 und FE2 werden zur Punktierung über die Multiplexlogik in Form der beiden Multiplexschalter MP1 und MP2 (Auswahl schalter 1 aus 4 bzw. 1 aus 5) geführt. Die Steuerung der Multiplexschalter MP1 und MP2 erfolgt über die Schalt signale SW4 und SW5 des Steuerwerks SW. Die Konfigurationen und die Steuerung sind aus den Wahrheitstabellen zu entnehmen. Es zeigen im einzelnen:

Fig. 7 die Konfiguration des Viterbi-Encoders für die verschiedenen Code raten in Abhängigkeit der Steuer information CFVE (Bitwort der Breite 2 : 0). Für unterschiedliche Modulationsarten, z. B. BPSK oder QPSK kann die Steuerinformation CFVE um ein Bitstelle d. h. auf drei erweitert werden. Für die weiteren Wahrheitstabellen gelten folgenden Vereinbarungen:

Shift 0: Verschiebung um eine Bitposition  
Shift 1: Verschiebung um zwei Bitpositionen

Ts: Periode des Symboltaktes

Für die Rate 1/2 gilt:

Shift = 01 = S0; 1

Q = S1; 1.

Für die Rate 2/3 gilt:

Periodizität  $Z_{2/3} = 3 \cdot Ts$ .

Die Wahrheitstabelle für die Steuerinformation CFVE in Abhängigkeit von Z gemäß Fig. 8 gilt für die Codepunktierungsrate 2/3, wobei i = 0, 1, 2 ... ein laufender Index ist. Für die Codepunktierungsrate 3/4 mit der Periodizität  $Z_{3/4} = 2 \cdot Ts$  gilt die entsprechende Wahrheitstabelle nach Fig. 9. Für die Rate 5/6 mit  $Z_{5/6} = 3 \cdot Ts$  gilt die Wahrheitstabelle nach Fig. 10 und für die Rate 7/8 mit  $Z_{7/8} = 4 \cdot Ts$  die Wahrheitstabelle nach Fig. 11. Für die Rate 1 gilt:  
Shift = II = IUNC und Q = QUNC.

Die Fig. 12 bis 16 geben die Multiplexschalter M1 bis M14 sowie MP1 und MP2 in Abhängigkeit ihrer Schaltsignale SB1 bis SB5 vom Steuerwerk SW die ausgeführten Funktionen (function) an. Die Multiplexschalter M9 bis M14 sind 1 aus 2 Schalter (Switch Typ 1, in Fig. 6 durch Kreis markiert). Die Multiplexschalter M1 bis M7 sind 1 aus 4 Schalter (Switch Typ 2, durch Kreis markiert). Die Multiplexschalter M8 ist ein 1 aus 3 Schalter (Switch Typ 3) und die Multiplexschalter MP1 und MP2 sind 1 aus 3 bzw. 1 aus 5 Schalter. Die Funktionen in den Tabellen geben an, ob seriell geschoben (serial shift), parallel geladen (parallel load) oder welche Symbole S selektiert (select) werden.

Die weiteren Fig. 17 bis 22 veranschaulichen für die 15 zuvor gezeigten Codepunktierungsarten jeweils die zeitliche Lage des Eingangsdaten-Bitstromes (schrägfett) bezüglich der Bitpositionen 14 ... 0 jeweils während eines kompletten Zyklus (cycle) und die dazugehörige Verschiebungssteuer-Information (shift), dem Nachladbefehl (NBLS) sowie die Schaltsignale SW1 bis SW5 in Abhängigkeit der Steuerinformation CFVE.

Fig. 23 zeigt die Zusammenschaltung des Faltungsencoders FE mit weiteren Baugruppen: einem vorgesetzten Reed-Solomon-Encoder RS und einem nachgeschalteten Digitalfilter DF. Diese Baugruppen können auf einem Chip integriert werden. Der sich anschließende D/A-Wandler dient zur Aufbereitung von Modulationssignalen für eine Sendeeinrichtung. Der Eingangstakt ET muß für alle Baugruppen lediglich einmal fest umgesetzt werden – Stufe TUS – und für den Faltungsencoder FE und den Reed-Solomon-Encoder RS lediglich umqualifiziert werden – Baugruppen QUA1 und QUA2. Lediglich am Chipeingang ist vor dem Reed-Solomon-Encoder RS ein FIFO vorgesehen.

Fig. 24 zeigt eine Anordnung zur Depunktierung nach dem Stand der Technik. Wie beim Punktierer ist eine Taktumsetzung zwischen Eingangs- und Ausgangstakt notwendig. Die Eingangsdaten punctured I-Data und punctured Q-Data werden einem FIFO und Depunktierbaustein zugeführt. Der Eingangstakt dient als Schreibtakt für den Depunktierer und der Ausgangstakt als Lesetakt. Die gewünschten Codepunktierungsrate R wird der Taktumsetzungsstufe TU wie auch dem Depunktierer in Form einer Steuerinformation zugeführt. 40 Die physikalische Taktumsetzung dient dazu, den Eingangstakt entsprechend der Depunktierungsrate oder inversen Coderate  $R^{-1}$ , allgem.  $R^{-1} = (n+1)/n$ ; n = 1, 2 ..., in einen kontinuierlichen Ausgangstakt umzusetzen.

50 Die depunktierten Datenströme "depunctured I-Data" und "depunctured Q-Data" werden einem handelsüblichen Viterbi-Decoder der Rate 1/2 zugeführt, an dessen Ausgang die decodierten Daten abgreifbar sind.

In Fig. 25 ist eine erfundungsgemäße FIFO-lose 55 Struktur zur Depunktierung dargestellt. Die Eingangsdaten werden nun einmal um eine Symbolperiodendauer Ts verzögert bzw. unverzögert auf Multiplexschalter MUX A und MUX B geführt. Der Multiplexschalter MUX A ist ein 1 aus 4 Auswahlschalter, der in Abhängigkeit der Steuerinformation über die Codepunktierungsrate R folgende Datenströme durchschaltet:

1. Null-Datum, d. h. Nullen zur Auffüllung von zuvor bei der Punktierung ausgelassenen Bits,
2. Coded Q-Data,
3. um Ts verzögerte Coded I-Data
4. um Ts verzögerte Coded Q-Data.

Der Multiplexschalter MUX ist ein 1 aus 3 Auswahlschalter zur Durchschaltung folgender Datenströme:

1. um  $T_s$  verzögerte Coded I-Data
2. um  $T_s$  verzögerte Coded Q-Data
3. Null-Datum.

5

Das Steuerwerk SW1 liefert die Steuersignale für die beiden Multiplexer MUX A und MUX B und nimmt entsprechend der eingestellten Codepunktierungsrate eine Qualifizierung des doppelten Symboltaktes  $2 \text{ fs}$  in den Ausgangstakt vor. Für die Verzögerung um die Symbolperiodendauer  $T_s$  wird über einen Teiler TL die Symboltaktfrequenz  $f_s$  abgeleitet. Die depunktierten I und Q-Datenströme werden dann einem handelsüblichen Rate 1/2 Viterbi-Decoder VD zur Decodierung zugeführt.

10

Der Decoder inclusive Depunktierer liefert 3-bit quantisierte, soft-decision I und Q Daten in der Symbolperiodendauer  $T_s$ . Die Depunktierung besteht aus einer Einfügung des Null-Datums, das keine Decision-Information enthält. Das Einfügen der Null-Daten erfolgt nach einer zur Punktierung inversen Depunktierungsvorschrift. Als Systemtakt muß mindestens der doppelte Symboltakt zur Verfügung stehen. Der doppelte Symboltakt  $2 \cdot f_s$  ist direkt erzeugbar anstelle des einfachen Symboltakts, so daß hierdurch kein Zusatzaufwand entsteht. Eine Verschiebung des Punktierungs-Pattern als Teil der Synchronisation des Viterbi-Decoders muß vorgesehen werden. Die Depunktierungsvorschrift sowie deren Verschiebung in alle möglichen Phasenlagen ist durch ein geeignetes Schaltwerk zu implementieren.

15

Die FIFO-lose Implementierung des Decoders stellt höhere Anforderungen an den Viterbi-Decoder bezüglich der Rechenzeit, da durch den burstartigen Betrieb die Zeit für einen Rechenschritt verkürzt wird. Wie Fig. 26 zeigt, wird die zur Verfügung stehende Zeit  $T$  bis auf 67% bei Rate 2/3 verkürzt. Die gekreuzten Symbole in Fig. 25 zeigen die Stellen, die durch die Null-Daten eingefügt werden.

20

30

35

#### Patentansprüche

1. Anordnung zur Erzeugung eines punktierten Faltungscodes mit folgenden Baugruppen:

45

- einer Mehrzahl parallel betreibbarer Faltungscoder-Bausteine (FE1, FE2) mit vorgegebener Codierrate  $1/m$ ,
- einem Steuerwerk (SW) mittels dessen aufgrund einer gewünschten Codepunktierungsrate ( $R$ ) die zu punktierenden Eingangsdaten um mindestens eine Bitposition gegeneinander zur Verarbeitung durch die Faltungscoder-Bausteine (FE1, FE2) verschiebbar sind,
- einem Punktierer (MP1, MP2) in Form einer Multiplexlogik mittels der in Abhängigkeit der gewünschten Codepunktierungsrate ( $R$ ) die Ausgangsdaten der Faltungscoder-Bausteine (FE1, FE2) zu den punktierten I- und Q-Faltungscoder-Datenströmen aufbereitbar sind.

50

55

2. Anordnung gemäß Anspruch 1, gekennzeichnet durch:

60

- ein Register (IR) für die zu punktierenden Eingangsdaten, mittels dessen in Abhängigkeit eines Ladebefehls vom Steuerwerk (SW) die Eingangsdaten byteweise parallel einlesbar

sind,

- einer Stufe zur Parallel-Serienwandlung (PS) und zur Verschiebung dieser einlesbaren Daten in Abhängigkeit einer Schiebesteuerinformation vom Steuerwerk (SW) um eine Bitposition ( $T$ ) oder um zwei Bitpositionen ( $2T$ ),
- einen Multiplexer (MP1, MP2) an jeweils einem Ausgang eines Faltungscoder-Bausteins (FE1, FE2), wobei dieser Multiplexer vom Steuerwerk (SW) anhand der gewünschten Codepunktierungsrate steuerbar ist.

3. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Anordnung zur Erzeugung des punktierten Faltungscodes ein Reed-Solomon-Encoder (RS) vorgeschaltet ist.

4. Faltungscoder bzw. Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Anordnung bzw. der Einrichtung ein digitales Filter (TF) und ggf. ein D/A-Wandler (DA) zur Aufbereitung von Modulationssignalen für eine Sendeeinrichtung (SE) nachgeschaltet ist.

5. Faltungscoder bzw. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Taktinformation für alle Baugruppen, die eine Taktinformation benötigen, aus einer gemeinsamen Taktquelle (TQ) ohne besondere Taktanpassungsmaßnahmen abgeleitet ist.

6. Faltungscoder bzw. Anordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß alle digitalen Baugruppen in einem Chip integriert sind.

7. Anordnung zur Depunktierung eines punktierten Faltungscodes mit folgenden Baugruppen:

- einer Mehrzahl parallel betreibbarer Multiplexschalter (MUX A, MUX B), welchen die zu depunktierenden Datenströme (I, Q-data) unverzögert sowie um eine Symbolperiodendauer ( $T_s$ ) verzögert zuführbar sind,

- einem Steuerwerk (SW1) mittels dessen aufgrund der gewünschten Depunktierungsrate ( $R^{-1}$ ) die unverzögerten und die um eine Symbolperiodendauer ( $T_s$ ) verzögerten Datenströme (I, Q) sowie die aufgrund der Punktierung ausgelassenen und bei der Depunktierung durch Null-Daten ersetzen Symbole zu einem Faltungscoder (VD) durchschaltbar sind.

---

Hierzu 19 Seite(n) Zeichnungen

---

**- Leerseite -**

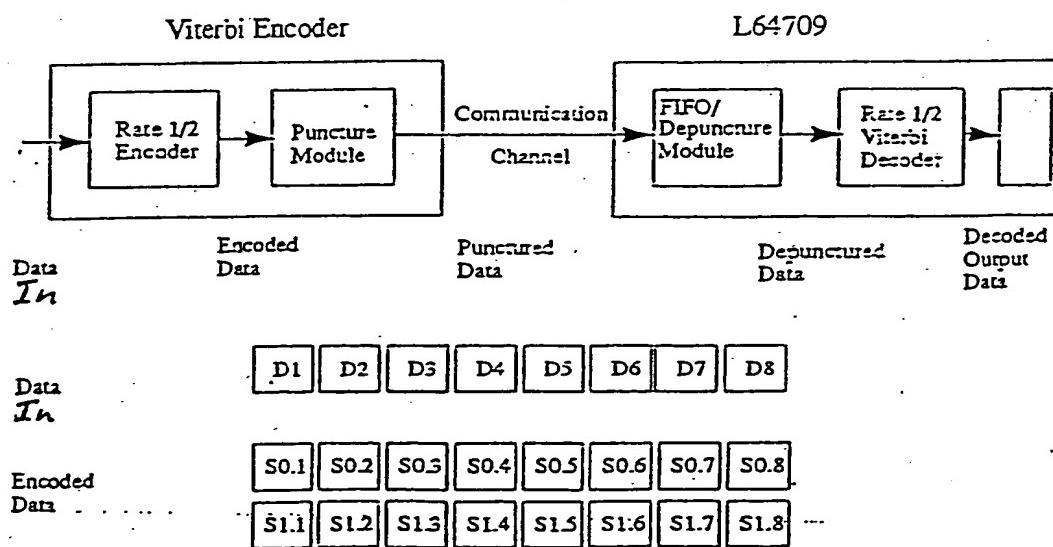
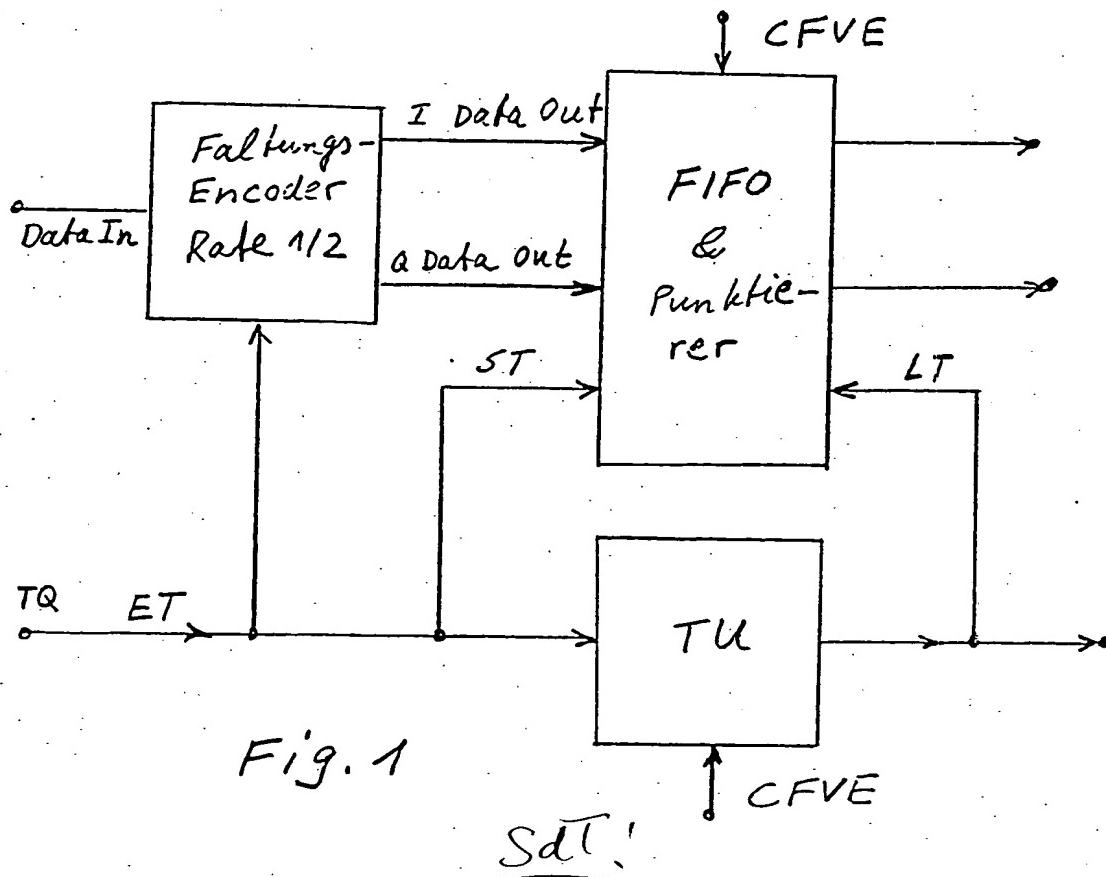
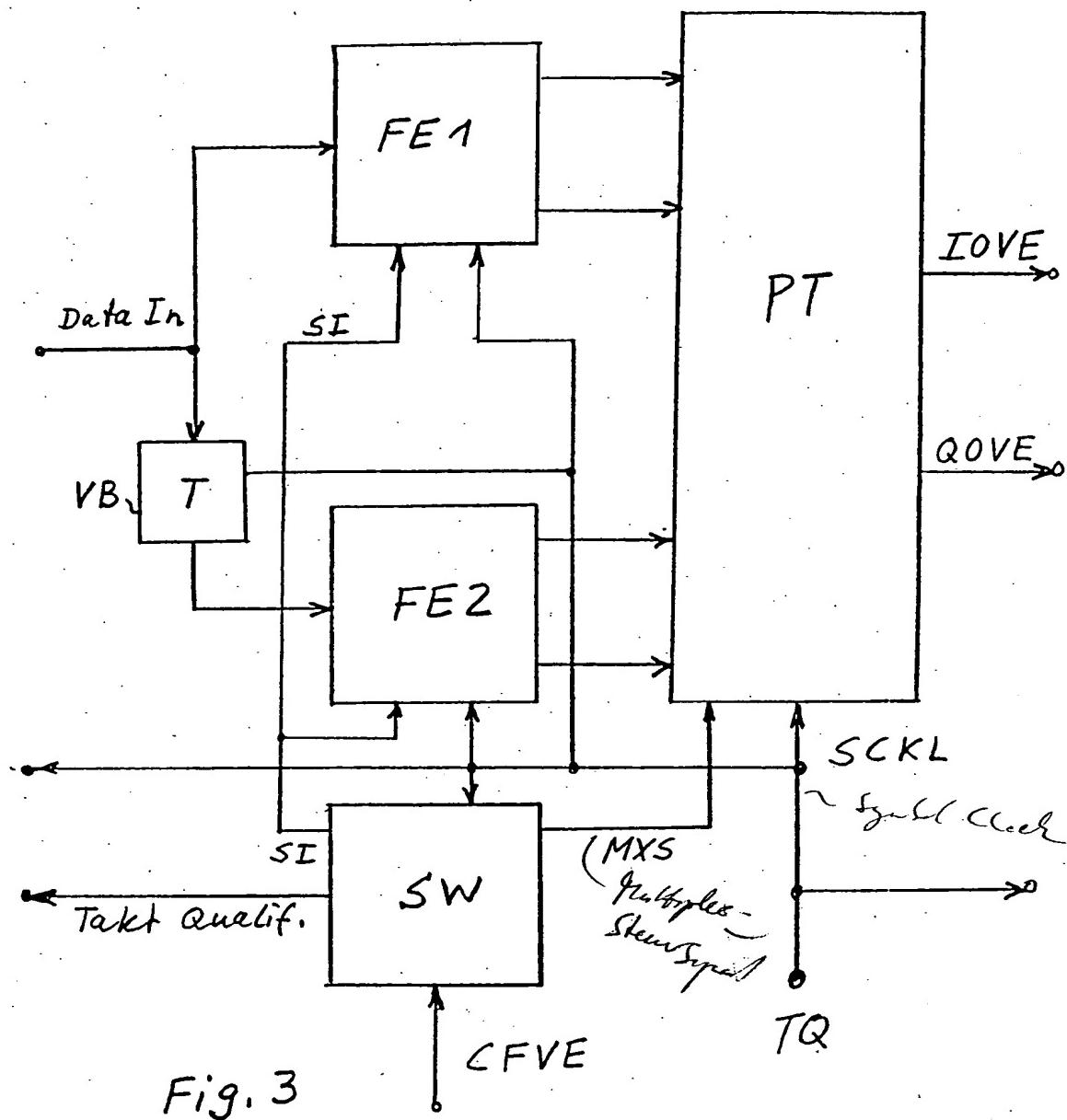


Fig. 2



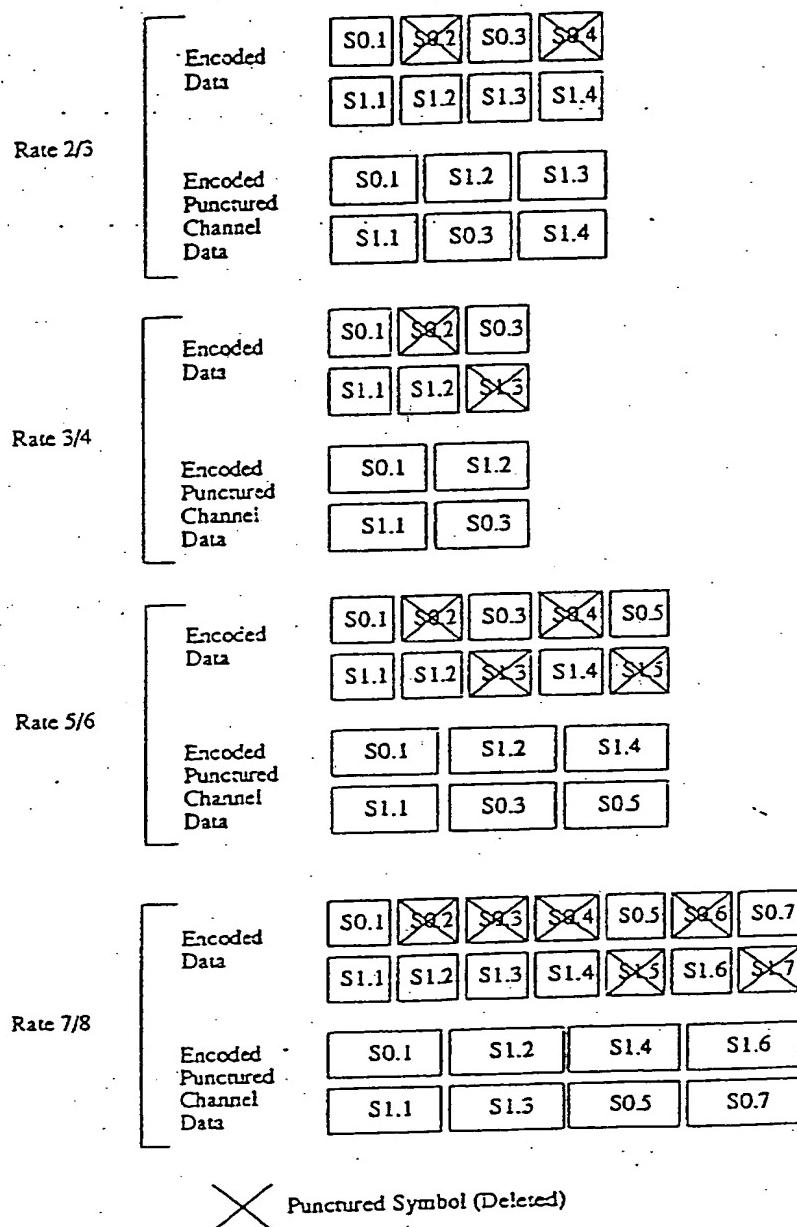


Fig. 4

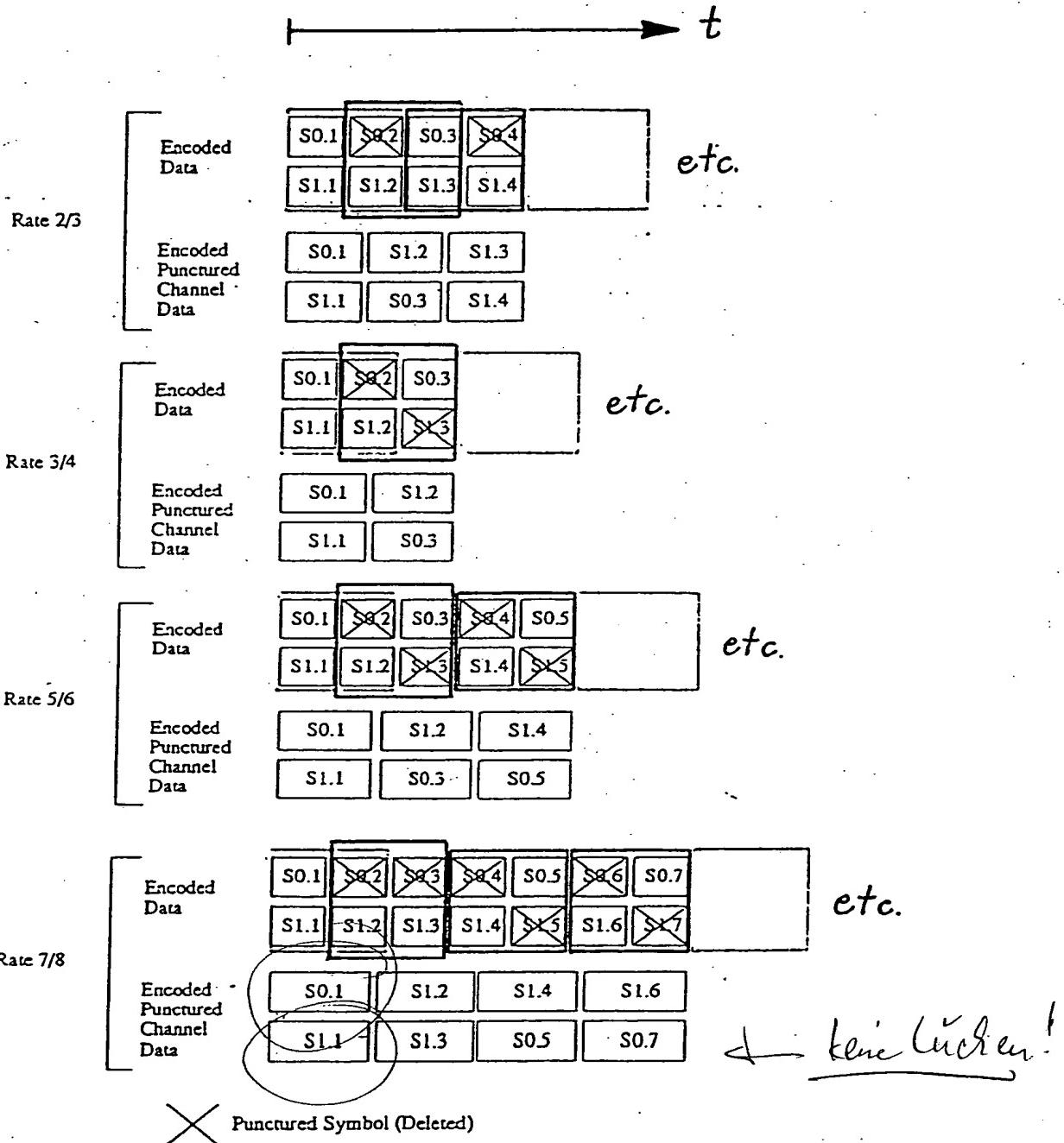
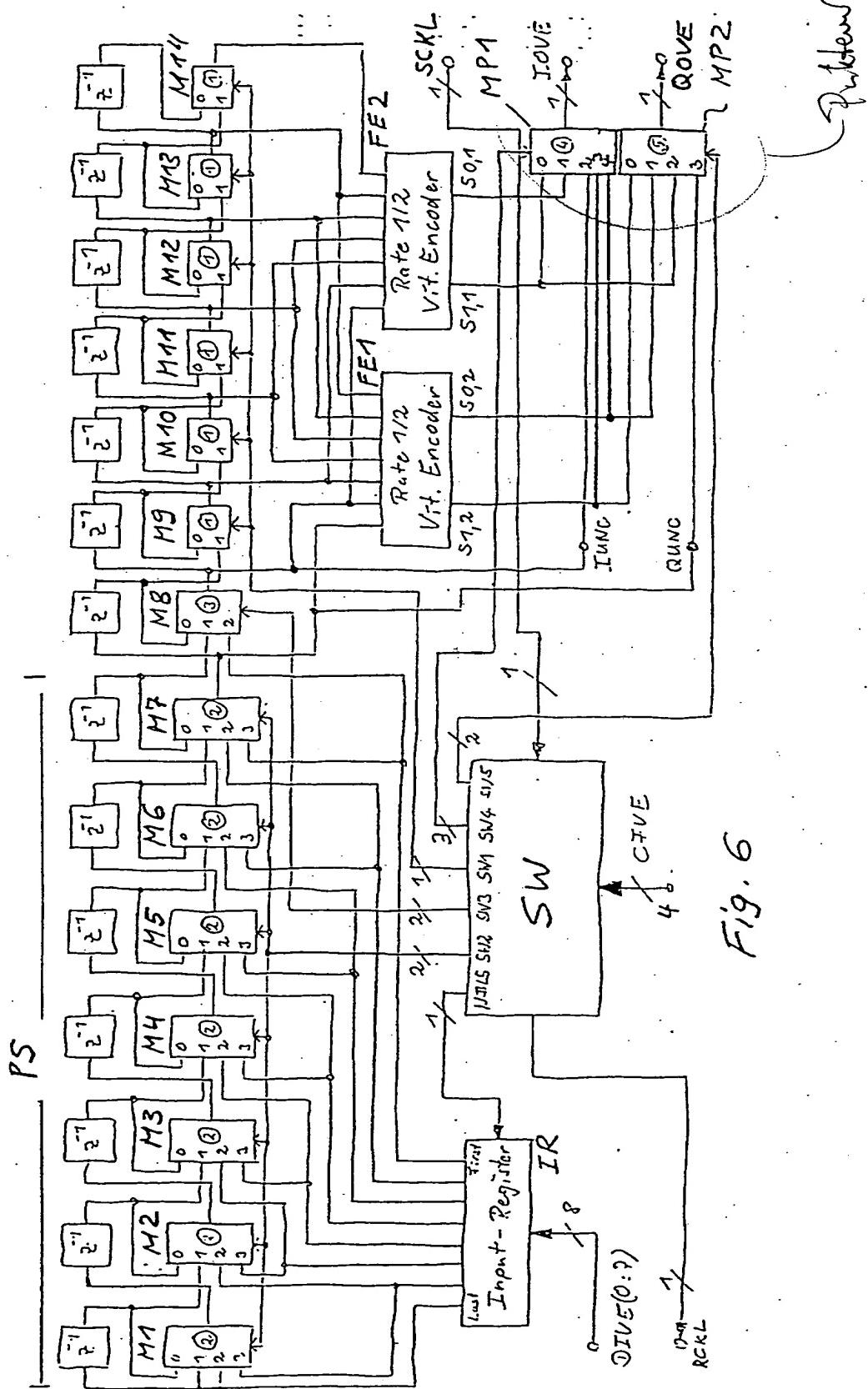


Fig. 5



Code Rate	CFVE (2:0)		
	(2)	(1)	(0)
1/2	0	0	0
2/3	0	0	1
3/4	0	1	0
5/6	0	1	1
7/8	1	0	0
not used	1	0	1
not used	1	1	0
1	1	1	1

Fig. 7

Truth tables for all relevant code rates R  
(R = 1/2, 2/3, 3/4, 5/6, 7/8 and 1)

Terminology:

- shift = 0: shift by 1 bit
- shift = 1: shift by 2 bits
- Ts: period of the symbol clock

Rate 1/2:

$$\begin{aligned} \text{shift} &\equiv 0 & I &\equiv S_{0;1} \\ Q &\equiv S_{1;1} \end{aligned}$$

Rate 2/3:

$$\text{Periodicity: } Z_{2/3} = 3 \cdot T_s$$

Z (i)	shift	CFVE (3) = 0		CFVE (3) = 1	
		I	Q	I	Q
0	1	S <sub>0;1</sub>	S <sub>1;1</sub>	S <sub>0;1</sub>	S <sub>1;1</sub>
1	0	S <sub>1;1</sub>	S <sub>0;2</sub>	S <sub>0;2</sub>	S <sub>1;1</sub>
2	0	S <sub>1;1</sub>	S <sub>1;2</sub>	S <sub>1;2</sub>	S <sub>1;21</sub>

*Fig. 8*

Rate 3/4:

$$\text{Periodicity: } Z_{3/4} = 2 \cdot T_s$$

Z (i)	shift	CFVE (3) = 0		CFVE (3) = 1	
		I	Q	I	Q
0	1	S <sub>0;1</sub>	S <sub>1;1</sub>	S <sub>0;1</sub>	S <sub>1;1</sub>
1	0	S <sub>1;1</sub>	S <sub>0;2</sub>	S <sub>0;2</sub>	S <sub>1;1</sub>

*Fig. 9*

Rate 5/6:Periodicity:  $Z_{5/6} = 3 \cdot T_s$ 

$Z(i)$	shift	I	Q
0	1	S0;1	S1;1
1	0	S1;1	S0;2
2	1	S1;1	S0;2

Fig. 10

Rate 7/8:Periodicity:  $Z_{7/8} = 4 \cdot T_s$ 

$Z(i)$	shift	I	Q
0	1	S0;1	S1;1
1	0	S1;1	S1;2
2	1	S1;1	S0;2
3	1	S1;1	S0;2

Fig. 11

Rate 1:shift  $\equiv$  0      I  $\equiv$  IUNCQ  $\equiv$  QUNC

Switch 1: (1 out of 2)

SW1	function
0	1 bit serial shift
1	2 bit serial shift

Fig. 12

Switch 2: (1 out of 4)

SW2	function
0	1 bit serial shift
1	2 bit serial shift
2	parallel load with 2 bit serial shift
3	parallel load with 1 bit serial shift

Fig. 13

Switch 3: (1 out of 3)

SW3	function
0	1 bit serial shift
1	2 bit serial shift
2	parallel load with 2 bit serial shift

Fig. 14

Switch 4: (1 out of 3)

SW4	IOVE
0	select S1 ( $n + 1$ )
1	select S0 ( $n + 1$ )
2	select IUNC

Fig. 15

Switch 5: (1 out of 4)

SW5	QOVE
0	select S1 ( $n + 2$ )
1	select S0 ( $n + 2$ )
2	select S1 ( $n + 1$ )
3	select QUNC

Fig. 16

Codestate 1/2:

cycle	shift	count	NBLS	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SW1 (2in)	SW2 (4in)	SW3 (3in)	SW4 (3in)	SW5 (4in)
0	0	0	1															0	3	0	1	2	
1	0	1	0															0	0	0	1	2	
2	0	2	0															0	0	0	1	2	
3	0	3	0															0	0	0	1	2	
4	0	4	0															0	0	0	1	2	
5	0	5	0															0	0	0	1	2	
6	0	6	0															0	0	0	1	2	
7	0	7	0															0	0	0	1	2	
8	0	0	0															0	0	0	1	2	
9	0	1	0															0	0	0	1	2	
10	0	2	0															0	0	0	1	2	
11	0	3	0															0	0	0	1	2	
12	0	4	0															0	0	0	1	2	
13	0	5	0															0	0	0	1	2	
14	0	6	0															0	0	0	1	2	
15	0	7	0															0	0	0	1	2	
16	0	0	0															3	0	0	1	2	

Fig. 17

Coderate 2/3:

Fig. 18

cycle	shift	count	NBLS	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SW1 (2in)	SW2 (4in)	SW3 (3in)	SW4 (3in)	SW5 (4in)
0	1	1																	1	2	2	1	2
1	0	2																	0	0	0	0	1
2	0	3																	0	0	0	0	0
3	1	5																	-1	1	1	1	2
4	0	6																	0	0	0	0	1
5	0	7																	0	0	0	0	0
6	1	1																	1	2	2	1	2
7	0	2																	0	0	0	0	1
8	0	3																	0	0	0	0	0
9	1	5																	-1	1	1	1	2
10	0	6																	0	0	0	0	1
11	0	7																	0	0	0	0	0
12	1	1																	1	2	2	1	2

Coderate 3/4:

Fig. 19

Coderate 5/6:

F1g, 20

cycle	shift	count	NBLS	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SW1 (2in)	SW2 (4in)	SW3 (3in)	SW4 (3in)	SW5 (4in)
0	1	1	1															1	2	2	1	2	
1	0	2	0															0	0	0	0	1	
2	1	4	0															1	1	1	0	1	
3	1	6	0															1	1	1	1	2	
4	0	7	0															0	0	0	0	1	
5	1	1	1															1	2	2	0	1	
6	1	3	0															1	1	1	1	2	
7	0	4	0															0	0	0	0	1	
8	1	6	0															1	1	1	1	2	
9	-1	0	0															0	0	0	0	1	
10	0	1	0															1	1	1	1	2	
11	-1	3	0															0	0	0	0	1	
12	-1	5	0															1	1	1	1	2	
13	0	6	0															0	0	0	0	1	
14	-1	0	0															1	1	1	1	2	
15	-1	2	0															0	0	0	0	1	
16	0	3	0															1	1	1	1	2	
17	-1	5	0															0	0	0	0	1	
18	-1	7	0															1	1	1	1	2	
19	0	0	0															0	0	0	0	1	
20	-1	2	0															1	1	1	1	2	
21	-1	4	0															0	0	0	0	1	
22	0	5	0															1	1	1	1	2	
23	-1	7	0															0	0	0	0	1	
24	-1	1	1															1	1	1	1	2	

Code rate 7/8:

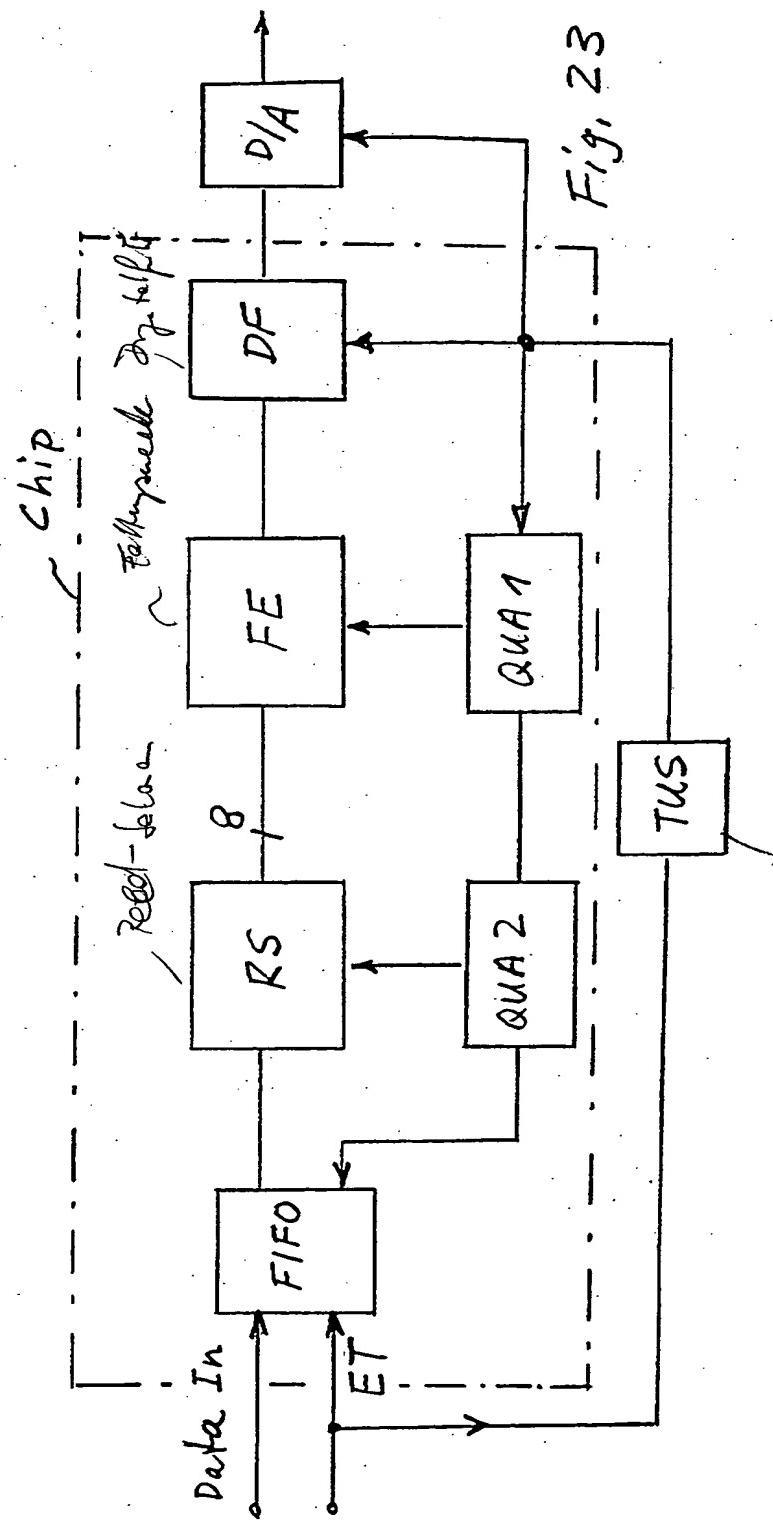
cycle	shift	count	NBLS	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SW1 (2ln)	SW2 (4ln)	SW3 (3ln)	SW4 (3ln)	SW5 (4ln)
0	1	1																	-1	2	2	1	2
1	0	2	0																0	0	0	0	0
2	1	4	0																1	1	0	1	1
3	1	6	0																1	1	0	1	1
4	1	0	1																1	1	0	1	2
5	0	1	0																0	0	0	0	0
6	1	3	0																1	1	0	1	1
7	1	5	0																1	1	0	1	1
8	1	7	0																1	1	1	0	1
9	0	0	1																0	0	1	0	2
10	-1	2	0																0	2	2	0	0
11	-1	4	0																1	1	1	1	1
12	-1	6	0																1	1	1	2	2
13	0	7	0																0	0	0	1	2
14	1	1	1																1	1	1	0	0
15	1	3	0																1	1	1	0	0
16	-1	5	0																1	1	1	0	1
17	0	6	0																1	1	1	0	1
18	-1	0	1																0	0	0	1	1
19	1	2	0																1	1	1	0	1
20	-1	4	0																1	1	1	1	2
21	0	5	0																0	0	0	0	0
22	-1	7	0																1	1	1	1	1
23	-1	1	1																1	1	1	1	1
24	-1	3	0																0	0	0	1	1
25	0	4	0																0	0	0	1	1
26	-1	6	0																1	1	1	1	1
27	-1	0	1																1	1	1	0	1
28	1	2	0																1	1	1	0	1
29	0	3	0																1	1	1	0	1
30	1	5	0																1	1	1	0	1
31	-1	7	0																1	1	1	0	1
32	-1	1	1																2	2	2	1	2

Fig. 21

Fig. 22

### Coderate 1:

cycle	shift	count	NBLS	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	SW1 (2in)	SW2 (4in)	SW3 (3in)	SW4 (3in)	SW5 (4in)
0	1	1	1																1	2	2	2	3
1	1	3	0																1	1	1	1	2
2	1	5	0																1	1	1	1	2
3	1	7	0																1	1	1	1	2
4	1	1	1																1	2	2	2	3
5	1	3	0																1	1	1	1	2
6	1	5	0																1	1	1	1	2
7	1	7	0																1	1	1	1	2
8	1	1	1																1	2	2	2	3



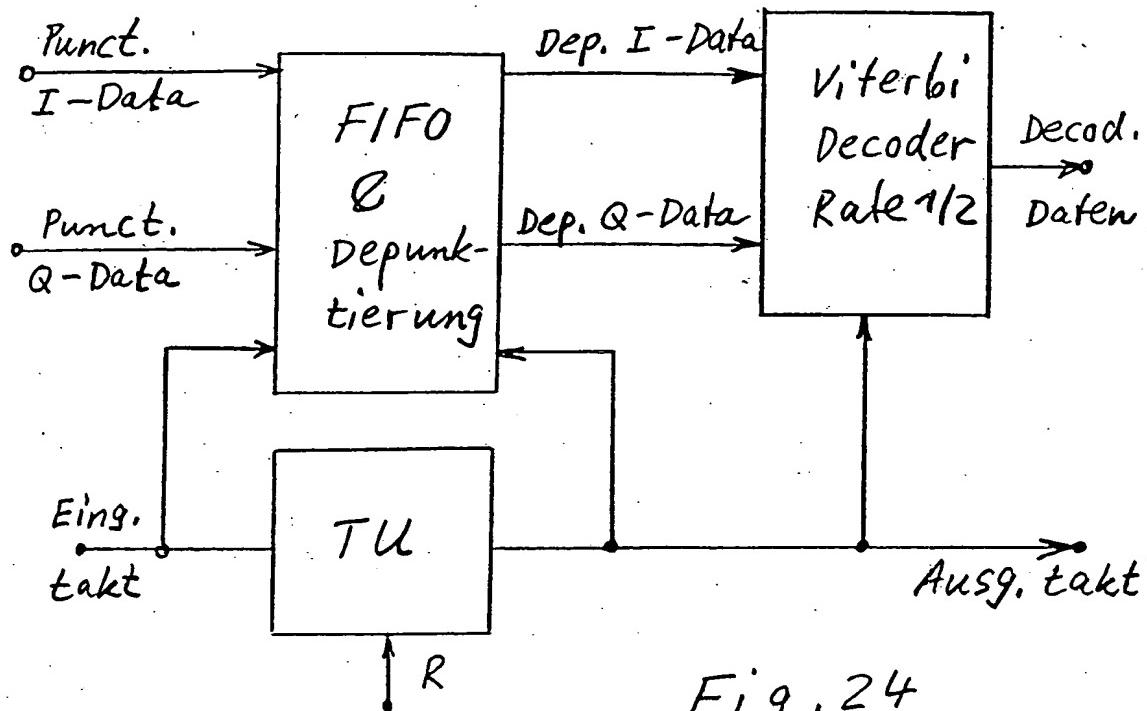


Fig. 24

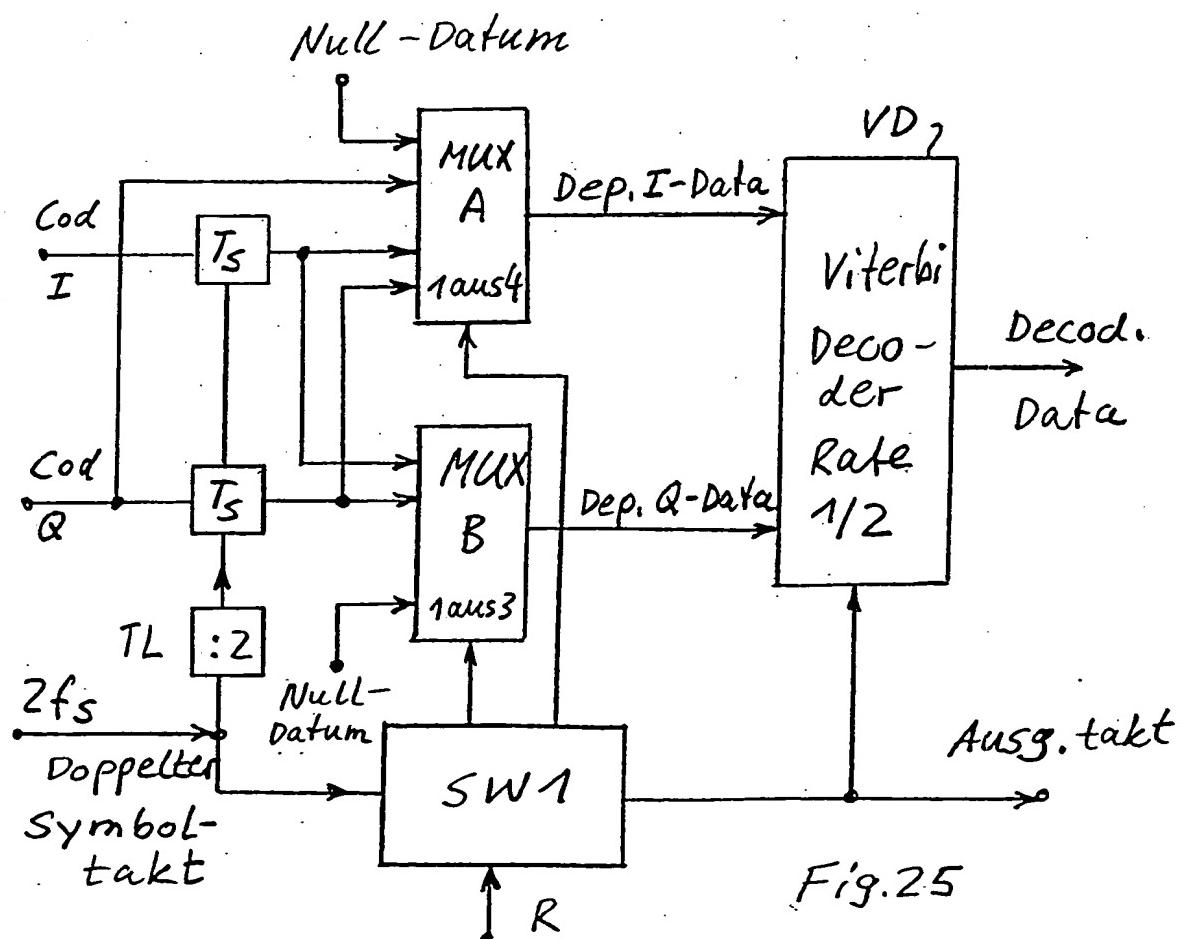
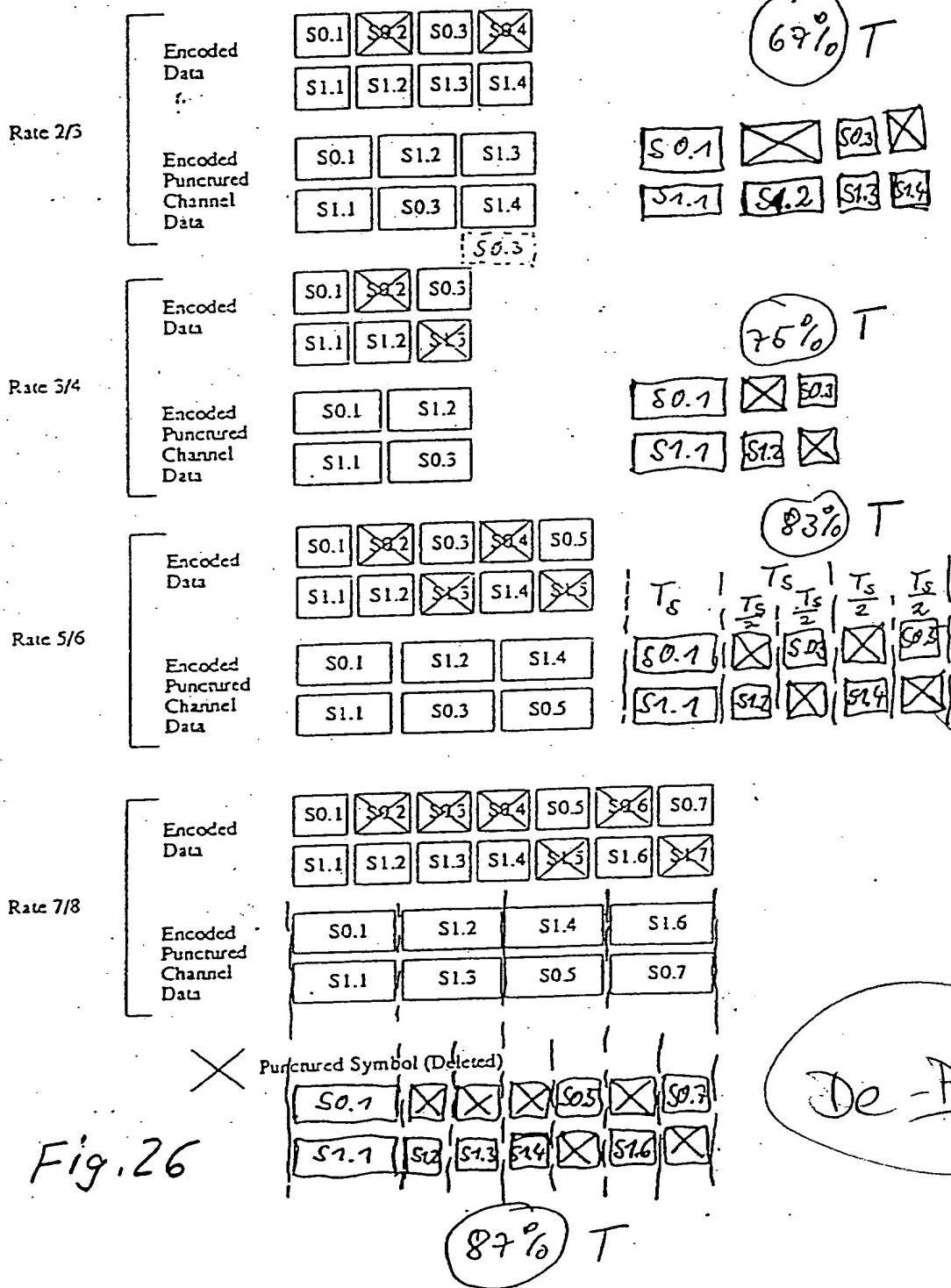


Fig. 25



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**